

## 高手论技

**编者按:**时代的进步与科技的发展离不开世界顶尖科技公司对人类未来美好生活的向往与孜孜不倦的探索。今日的谷歌、昨日的微软、前日的贝尔实验室,这些公司汇集了所在时代最优秀的科学家、最先进的科研设备、最完备的技术设施和最智慧的科研骨干,科技新成果源源不断涌现,为新产业的发展奠定技术基础和理论基础,影响着世界经济的发展格局。本期,我们继续探讨芯片的奥秘,谈谈它的制造工艺。

# 芯片的奥秘(中)

杨磊 天津市第五中学

一项新产品从实验室诞生到落地工业生产,继而形成新的产业链条、产业集群,这一过程需要几代研发人员的共同努力来完成(挖掘材料性能、改进生产工艺、降低生产成本、实现产品功能集成化等)。

1958年第一个芯片问世了,但当时芯片的需求和产量都太小,生产成本还很高,只有10%的晶体管厂家能在晶体管生产上获利。另外,人们对半导体材料特性认知很有限,生产工艺水平还无法达到规模量产从而降低成本的程度。随着20世纪60年代美国的两个军工计划——阿波罗登月计划和“民兵”导弹开发计划的实施,军工产品对芯片小型化和芯片性能提出更高要求,这大大促进了芯片技术的发展。很快,芯片取代晶体管变成业界主流,需求增加了,规模化生产导致成本大幅降低,开启了第三代电子器件的时代序幕。

## ● 技术改进: 场效应管技术

简单地讲,芯片的功能就是控

制和放大信号,所以芯片上除了电阻电容外,最重要的电子器件有两种:一是双极型晶体三极管;二是场效应管(FET)。二者都具有放大和开关作用,但特点不同:双极型晶体管的特点是高速,是电流控制器件,适用于高频区;场效应管则是能耗低,是电压控制器件,适用于大多数的逻辑电路。

场效应管(Field Effect Transistor, 缩写为FET)是利用电场效应控制半导体中电流的一种半导体器件,它只依靠一种载流子参与导电,故称单极型晶体管。场效应管按结构可分为结型(Junction Field Effect Transistor, 缩写为JFET)和绝缘栅型(Metal Oxide Semiconductor Field Effect Transistor, 缩写为MOS)两种。结型场效应管是利用导电沟道之间耗尽区的宽窄来控制电流,输入电阻在 $10^5 \sim 10^{15}$ 欧姆之间。绝缘栅型

是利用感应电荷的数量来控制导电沟道的宽窄从而控制电流的大小,因栅极与其他电极相互绝缘,所以它的输入阻抗很高,MOS在硅片上集成度高,因而在大规模集成电路中占有重要位置。

1925年贝尔实验室的利菲尔最早提出JFET想法,1935年奥斯卡·黑尔发明出MOS型效应管,但二者都不具有“场”的意义。直到1960年,贝尔实验室的约翰·阿特拉和达旺·康利用热生长技术在硅晶体表面制作出了绝缘栅极,研制出世界上第一款实用性强的场效应管,很快场效应管被应用在芯片中,在半导体器件市场中占据重要份额。

## 1. 场效应管的构造

场效应管本质上就是利用PN结原理制作而成,所以MOS管从结构上分为NMOS管和PMOS管。NMOS管就是在一块掺杂浓度较低的P型硅晶体衬底上,用光刻、扩

散、离子注入等工艺制作两个高掺杂浓度的N<sup>+</sup>区,并用金属铝引出两个电极,分别作为漏极D和源极S。然后在漏极和源极之间的P型半导体表面覆盖一层很薄的二氧化硅绝缘层膜,接着在这个绝缘层膜上装上一个多晶硅电极,作为栅极G。这就是一个N沟道增强型场效应管(NMOS),它的栅极和其他电极间是绝缘的,如图1所示。

同理,PMOS管就是在一块掺杂浓度较低的N型硅晶体衬底上,用光刻、扩散、离子注入等工艺制作两个高掺杂浓度的P<sup>+</sup>区和栅极,从而制成了P沟道增强型场效应管(PMOS)。

## 2. 场效应管的改进

1963年,仙童半导体的工程师弗兰克·万拉斯提出生产互补型MOS管(Complementary MOS,缩写为CMOS)想法,即在一块半导体基片上同时生产两种不同类型NMOS管和PMOS管,其结构见图2。CMOS既可以做成互补放大器,也可以利用结构中的一类MOS管充当另一类MOS管的电阻,从而达到

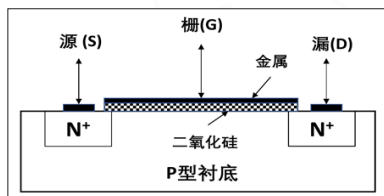


图1 NMOS结构图

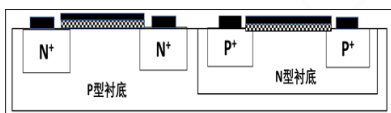


图2 CMOS结构图

到节省材料和芯片面积、提高集成电路密度的目的。不仅如此,CMOS所需的工作电流还很小,它的静态电流要比等效的晶体三极管和PMOS逻辑门低6个数量级,这样就能够大幅度降低能耗。

互补型场效应管问世后,人们在此基础上开发出静态可读写存储器(SRAM)、一次性可读存储器(OTP)、动态存储器(DRAM)、电可擦除可编程只读存储器(EEPROM)、闪存(FLASH)等不同的低能耗电子器件。同时,人们也研制出各种各样的高压场效应管。20世纪90年代,三维场效应管被发明出来,它大大降低了芯片的能耗。今天,大多数手机和笔记本电脑中的芯片都是由三维场效应管组成的。

场效应管可以说是在电子设备中应用最广泛的电子器件。在逻辑电路中,无论是CPU还是存储器,场效应管在其中都起着重要作用,可以说99%的逻辑电路使用的都是场效应管;在模拟电路中,如线性放大器、振荡器、数模模数转换器及功率放大器中,都能见到场效应管的身影。

## ● 芯片的制造

时至今日,芯片行业早已发展成一个庞大的产业链群,它的生产流程非常复杂。简单地说,芯片从设计到产品成形这个过程涉及电路设计、制造、封装和测试等多个环节,其中电路设计和制造是最重要

的两个环节,制造工艺更是代表一个公司的技术水平,乃至体现一个国家的综合实力。

## 1. 电路设计

电路设计就是运用一种计算机程序语言(如HDL语言)把电路、电子器件以及它们之间复杂的逻辑关系以程序代码的形式表述出来,然后通过EDA软件工具将工程师编写的程序代码转换成逻辑电路图的过程。现实中电路设计非常复杂,而且不同行业的芯片有不同的设计标准,所以电路设计都需要遵从行业的规范,保证芯片设计出来能跟市面上的产品相容,能与其他设备连线。

## 2. 芯片制造

芯片种类繁多,制作工艺也多种多样,其中CMOS工艺是制造大规模集成电路芯片最基础、最重要的工艺。笔者以CMOS工艺为例,简单讲述一下芯片的制造过程。

### (1) 单晶硅生产

众所周知,自然界中硅元素极少以单质形式出现,多是以复杂的硅酸盐或二氧化硅的形式存在。单质硅包括晶态和无定形两种同素异形体,晶体硅为灰黑色,无定形硅为黑色。其中,晶体硅根据晶面取向不同又分为单晶硅和多晶硅。由于多晶硅在力学性质、电学性质等方面不如单晶硅,所以多晶硅常被用于拉制单晶硅的原料,它也是太阳能电池片以及光伏发电产业的基础材料。单晶硅的纯度要高于多晶

硅,一般的半导体器件要求硅的纯度达到“六个9”以上。大规模集成电路的要求更高,硅的纯度必须达到“九个9”,因而单晶硅是现代电子制造行业必不可少的基础材料。

从硅化合物到制成单晶硅大致需要三步:硅化合物→硅→多晶硅→单晶硅。我们首先需要在电弧炉中,利用石英砂与焦炭或木炭在 $1820^{\circ}\text{C}\sim 1900^{\circ}\text{C}$ 的条件下发生反应生成硅(反应式为: $\text{SiO}_2+\text{C}\rightarrow\text{Si}+\text{CO}$ ),但此时生成的硅的杂质含量高,我们还需进一步提纯。提纯的方法有传统的三氯氢硅还原法,也称西门子法,还有近年来国内研究较多的硅烷热分解法。硅烷热分解法的实质是先用硅粉或硅的化合物制成硅烷,然后用精馏等方法进行提纯,再将纯硅烷经热分解得到高纯度多晶硅。最后一步是在直拉单晶炉中将多晶硅熔化成液态后,利用直拉法将液体硅凝固成单晶硅棒。

## (2) 晶圆制备

单晶硅棒需要经过切片、研磨、抛光等一系列加工工序才能形成符合半导体芯片制造要求的半导体衬底,即晶圆。为防止晶圆受到污染,这一过程需要在超净车间或超净工作台,采用超纯、高纯化学试剂或高纯水,对硅片、金属材料、生产用具等进行严格的化学清洗。

晶圆尺寸越大,每片晶圆生产出的芯片数就越多。但一方面尺寸

增加产生的边际成本远远小于芯片数量增加带来的边际收益;另一方面芯片离晶圆中心越远就越容易出现坏点,所以增大晶圆尺寸就会受到技术水平限制,如果想增大晶圆尺寸,就必须提高单晶棒生产及芯片制造工艺的质量控制程度。

## (3) 薄膜积淀

人们在制造半导体器件过程中会使用多种类型的薄膜以达到特定作用,如介质膜、半导体膜、导体膜及超导体膜等。介质膜的材料有: $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{TiO}_2$ 、 $\text{Fe}_2\text{O}_3$ 、磷硅玻璃、硼磷硅玻璃和 $\text{Si}_3\text{N}_4$ ;半导体膜的材料有: $\text{Si}$ 、 $\text{Ge}$ 、 $\text{GaAs}$ 、 $\text{GaP}$ 、 $\text{AlN}$ 、 $\text{InAs}$ 和 $\text{V}_2\text{O}_3$ ;导体膜的材料有: $\text{Al}$ 、 $\text{Ni}$ 、 $\text{Au}$ 、 $\text{Pt}$ 、 $\text{Ti}$ 、 $\text{W}$ 、 $\text{Mo}$ 、 $\text{WSi}_2$ 和掺杂多晶硅;超导体膜的材料有: $\text{Nb}_3\text{Sn}$ 、 $\text{NbN}$ 和 $\text{Nb}_4\text{N}_5$ 。

我们以二氧化硅为例,简要介绍它的作用和制备方法。二氧化硅具有极稳定的化学性和绝缘性,它不仅可以保护器件,还可以作为掩蔽层(杂质在二氧化硅中的扩散系数非常小)实现选择性扩散杂质、配合完成光刻和掺杂工序。人们常用热氧化法制备二氧化硅,即在 $1000^{\circ}\text{C}$ 以上的高温下,硅经氧化生成二氧化硅。因为二氧化硅膜的质量直接关系到半导体芯片的性能,所以生成二氧化硅后还需要进行检测,要求薄膜表面无斑点、裂纹、白雾和针孔等缺陷,厚度符合标准,薄厚均匀,可动离子含量低等。

## (4) 光刻

晶圆表面生成介质薄膜后,下一步需要进行光刻。光刻(Photo Etching)就是通过匀胶、曝光、显影等一系列步骤,在晶圆表面留下图形结构。这一过程就如同我们在一块平滑的石头表面刻字,去除多余部分,留下字形部分。通常光刻工艺要经过涂光刻胶、前烘、曝光、显影、坚膜等工序。

### ① 光刻胶。

将光刻胶液体涂覆在晶圆表面,然后曝光后将其烘烤成固态。它的作用是将光刻板上的图形转移到晶圆表面的氧化层中,同时在后继工序中保护下面的材料。光刻胶的技术要求:高分辨率,具有区别半导体晶片表面相邻图形特征的能力;强对比度,从曝光区到非曝光区过渡的陡度要高;高敏感度,曝光需要用深紫外光(DUV)甚至极深紫外光(EUV),光波最小能量值(或最小曝光量)用毫焦/平方厘米衡量,它也是衡量光刻机性能最为重要的指标。除此以外,还有黏度、抗腐蚀性等方面的要求。

按曝光后发生的变化情况和在显影液中的溶解度不同,光刻胶可分为负光刻胶和正光刻胶两类,如下页图3所示。负光刻胶(负胶)受光照部分发生反应而成为不溶物,非曝光部分被显影液溶解,获得的图形与光刻板图形互补,它适用于低集成度器件的生产。正光刻胶(正胶)受光照部分发生反应而

能被显影液所溶解,留下的非曝光部分的图形与光刻板一致。它具有分辨率高、对比度高、对驻波效应不敏感、曝光容限大等优点,适用于高集成度器件的生产。

### ②光刻板。

光刻板又叫光刻掩模板或光罩,是光刻过程中原始图形的载体。通过曝光和显影过程,光刻板上的图形被复制到晶圆上。制作光刻板基板采用符合特定要求的玻璃,如钠钙玻璃、硼硅玻璃和石英玻璃。光刻板上的掩膜材料是乳胶、铬或者氧化铁。

### ③曝光方式。

在洁净的光刻室内光源发出的光,光线透过光刻板射到涂布完光刻胶的晶圆片上,从而完成图形复制。光刻机的类型不同,曝光方式也不同。常用的曝光方式有接触式曝光、接近式曝光和投影式曝光,如图4所示。

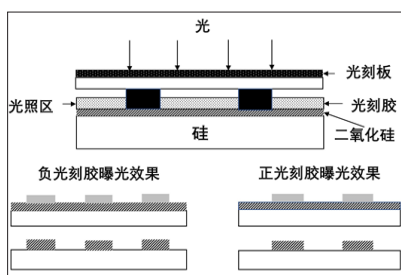


图3 光刻胶曝光原理图

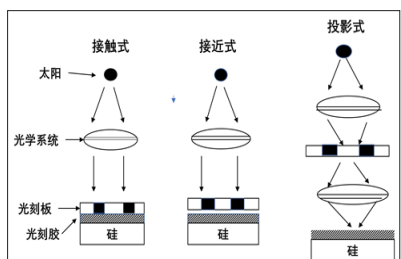


图4 曝光方式原理图

接触式曝光,光刻胶和光刻板之间紧密接触,可以得到比较高的分辨率,但容易损伤光刻板和光刻胶,影响成品率和光刻板的寿命,它适用于0.4~5微米线宽的生产,曾是20世纪70年代最主要的光刻设备,现在只在分辨率要求相对低一些的LED芯片制造中还被使用。接近式曝光与接触式曝光相似,只是在曝光时晶圆片和光刻板之间保留2.5~25微米间隙,它可以降低对光刻板的损伤,但受间隙间空气的影响会导致光线发散,从而降低了系统分辨率,因而它只能应用在2~4微米的集成电路生产线中。投影式曝光是利用透镜将光刻板上的图形缩小投影到晶圆上进行曝光,这种投影方式使得光刻板的图形可以大于晶圆上的图形,便于人们在光刻板上设计微型图形。

在现代集成电路工艺中,使用范围最广的投影光刻系统是分步式投影光刻机,也称步进式投影光刻机,它的每一步只投影一个曝光场,曝光完成后步进到另一个位置进行曝光,依次完成整个晶圆片的曝光。

### ④光刻工序。

完整的光刻工艺步骤:表面清洗→脱水烘焙→成底膜→涂光刻胶→前烘(干燥光刻胶,增强胶的黏附性)→对准(将光刻板与晶圆片上的图形对准)→曝光→显影(显影液溶解多余光刻胶,留下图形)→检查→坚膜(也称后烘或硬烘焙,将

显影后软化的胶膜再次干燥,增强胶的黏附性)→刻蚀→去胶。

### (5) 掺杂

掺杂就是将一定数量的杂质掺入晶圆中的特定区域内,通过改变半导体的电学性能,生成相应的P、N型半导体。当前掺杂工艺主要有两种:扩散和离子注入。

扩散是在一定温度下,浓度高的物质掺入浓度低的物质内。杂质原子在半导体材料中典型的扩散形式有两种:间隙式扩散和替位式扩散。间隙式扩散是指杂质原子从一个原子间隙运动到相邻的另一个原子间隙的过程,如Au、Ag、Cu、Fe和Ni等半径较小的重金属杂质原子以此种方式扩散。替位式扩散是当相邻格点处有一个空位时,替位杂质原子才能运动到邻近格点填充空位,P、As、Sb、B、Al和Ga等Ⅲ、V族半径较大的杂质原子,一般按替位式进行扩散。

扩散是较早时期就被采用的掺杂工艺,人们通过控制扩散温度、扩散时间以及气体流量能够较好地控制掺杂质量,由于它生产流程简单、设备成本低,一直沿用至今,广泛应用于结深为1微米以上的半导体器件的生产中。

离子注入技术是使用离子注入机将杂质以离子形式注入晶圆的过程。杂质离子注入到晶圆中后,会与硅原子碰撞而发生能量损失,能量耗尽后杂质离子就会停在晶圆中的某个位置上,杂质离子通过与硅

原子的碰撞将其能量传递给硅原子,使硅原子成为新的入射粒子,新的入射粒子又会与其他硅原子碰撞,从而形成连锁反应。离子注入相比扩散具有加工温度低、容易制作浅结、能够均匀地大面积注入杂质和易于实现自动化等优点,离子注入法已成为超大规模集成电路制造中不可缺少的掺杂工艺。

### (6) 布线

经过薄膜、光刻、掺杂后,晶圆片的表面就形成一层P、N型半导体,这些组件可以满足简单芯片要求。当芯片功能复杂时,需要重复多组薄膜、光刻、掺杂工艺,从而形成多层级的立体结构。如何将这些组件连接起来组成一个完整的电路系统,提供与外界电路相连接的接点?这需要布线工艺。

布线是首先使用真空蒸发或溅射等方法在组件上面覆盖一层金属薄膜,然后运用光刻、刻蚀工艺把金属膜的连接线刻画成金属膜线,让金属膜线连接电子组件,就会形成一层电路。随着集成电路集成度的增加,晶圆表面无法提供足够的面积来制作所需的内连线时,如微处理器,这就需要更多层的金属连线才能完成各个组件间的连接,这一结构类似于城市内的多层级立交桥。为防止一层金属线与另一层金属线直接接触而发生短路现象,金属层之间必须用介电层来绝缘。介电层的制作涉及溅射、化学气相沉积、光刻、刻蚀等诸多工艺

技术。因为金属层表面高低不平,沉积在上面的介电层也会不平整,这样会影响接下来的第二层金属层的光刻效果,所以需要进行平坦化处理,平坦化是随着集成电路的多层布线的出现而出现的工艺技术。

### 3. 封装

电路布线完成后,需要对搭建完成的电路进行测试。测试通过后,芯片进入封装程序。封装是用绝缘材料将通过测试的电路包裹起来,并把芯片的焊区与封装的外引脚连接起来的过程。封装既能保护芯片免受机械、热、潮湿及其他外界干扰,防止空气中的杂质对芯片电路的腐蚀而造成电气性能下降,又便于器件安装和运输。封装工艺全程对灰尘含量、温度、湿度、静电等方面都有着严格要求。

常用的封装材料有陶瓷、金属、塑料等。不同材料封装出的器件的特性会有差异,具体要根据实际需要来选择封装材料。金属封装是半导体器件封装最原始的形式,它气密性好,不受外界环境因素的影响,但价格昂贵,外形灵活性差,目前只在有特殊性能要求的军事或航空、航天技术产品上使用。陶瓷封装虽然成本较高,但它有良好的可靠性、可塑性,且密封性好,而且陶瓷具有较高的绝缘性能和优异的高频特性,其线性膨胀系数与电子元器件非常相近,化学性能稳定且热导率高,因而它被用于多芯片组件(MCM)、球栅阵列(BGA)等封装

作业中,在航空航天、军事及许多大型计算机方面应用广泛。塑料封装的优点是成本低廉、工艺简单、适合批量生产,因而能占据集成电路市场份额的90%以上,它的缺点是不能实现气密性封装、容易受潮等。

### 4. 测试

封装后的芯片在出厂前还需进行最后一步——测试。测试就是将封装后的芯片置于各种环境下测试其电气特性,如消耗功率、运行速度、耐压度等。经过测试后的芯片,依电气特性划分为不同等级,测试合格的产品贴上规格、型号及出厂日期等标识的标签包装后就可以出厂,测试不合格的芯片则视其达到的参数情况定做降级品或废品。

芯片的制造工艺是芯片产业中最重要的一个环节,它的发展需要投入大量的资金、人才,以及与之相配套的庞大的上下游产业链条和产业集群,因而它也最能反映一个国家的科技和经济的综合实力水平。时至今日,芯片的生产制程(即沟道长度)早已从十几微米缩小到五纳米,也就是几个 $\text{SiO}_2$ 分子的长度。一个指甲盖大小的芯片上面布满了数公里长度的导线和几千万甚至上亿个电子器件。我们在惊讶于人类创造的科技奇迹的同时,不禁好奇未来芯片的制造技术会走向哪里?下期我们会讨论当今世界芯片技术的发展格局和未来发展方向,下期见。e